

플립플롭

플립플롭은 1비트를 기억하는 논리회로이다. 특정 상태의 출력(1 또는 0)을 계속 유지해 준다. 보통Clock Pulse (CP)가 들어간 것을 플립플롭이라고 하며 Clock Pulse가 없는 것을 래치라고 한다.

가. RS 래치(Latch)와 플립플롭(Flip Flop)

1). RS 래치 : 입력 조건마다 출력이 변하는 것으로 Level trigger 방식이라 한다.

- RS Latch는 다음과 같이 NOR게이트 2개로 구성하며 CP가 없다. 진리표는 S, R 모두 0일 때는 초기 출력이 Q=1, Q'=0라면, 현재 상태를 유지하며, S=0, R=1 이면 Q=0, Q'=1이 된다. S=1, R=0 이면 Q=1, Q'=0이 되며 S, R 모두 1이면 Invalid(미정) 한 상태로 Q'=0, Q=0이 된다. Q'와 Q는 서로 보수(NOT)관계를 유지하기 때문이다.

단, NAND게이트 RS Latch는 진리표가 다름을 확인하여야 한다.

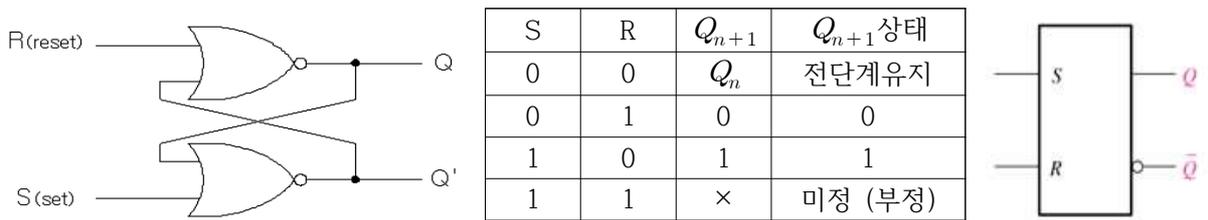


그림 1. NOR Gate RS Latch논리도와 진리표 및 그래픽기호

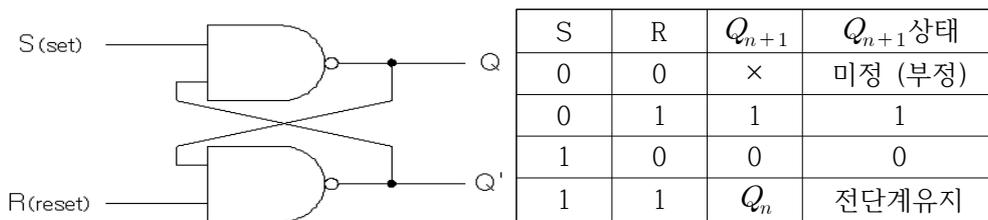
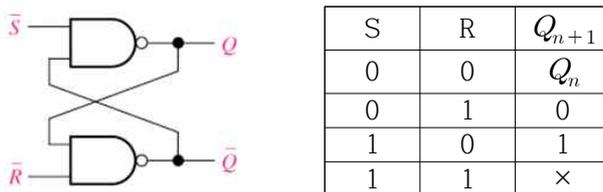


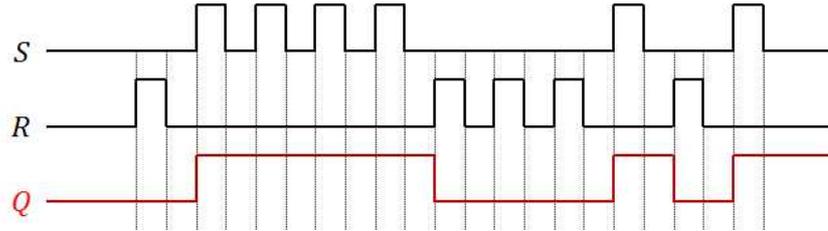
그림 2. NAND Gate RS Latch논리도와 진리표

그러나, 그림 2의 NAND게이트 RS Latch에서 두 입력에 NOT를 추가하면 NOR Gate RS Latch로 구현이 가능하다.



다음 그림은 래치 회로에 아래와 같이 S와 R이 입력되었을 때, 출력 Q의 변화를 그려본 것으로 각 입력의 변화에 따라 출력이 변하는 것이 래치이다.

단, Q는 0으로 초기화되어 있으며, 게이트에서 전파지연은 없다고 가정한다.



2). RS 플립플롭

플립플롭(flip-Flop): 입력이 변해도 클럭이 들어올 때만 출력이 변하는 것으로 클럭이 입력되는 순간 출력의 변화를 가지게 된다. 이를 Edge Trigger 방식이라 하는데 클럭 펄스의 positive edge (혹은, rising edge)와 negative edge (혹은, falling edge) 둘 중 선택하여 사용하는 것이다.

이 제어 입력 CP로 표시되는 클럭(CLK)이라는 트리거 입력이 발생할 때만 출력 상태가 변화된다.

RS 플립플롭의 진리표는 일반적으로 NOR 래치와 같다.

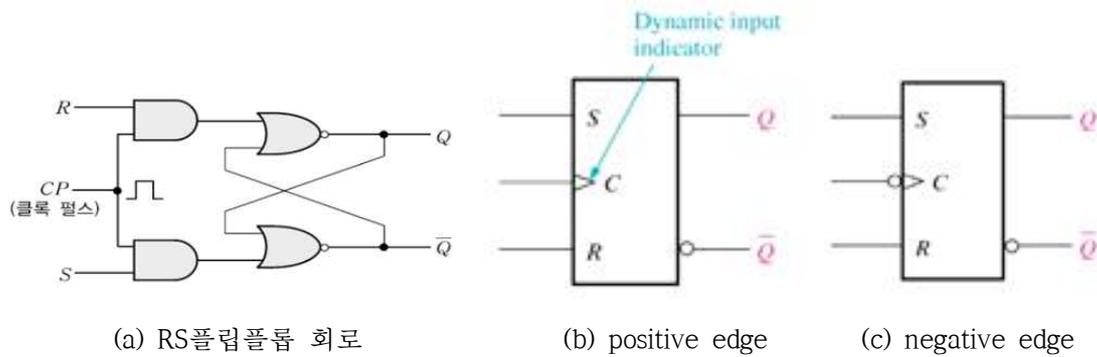


그림 3. RS 플립플롭 회로와 edge 트리거 표현 기호

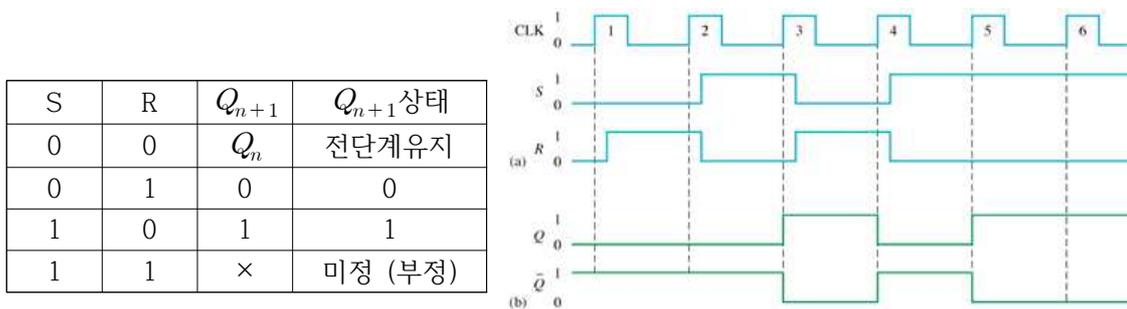


그림 4. RS 플립플롭 진리표와 positive edge trigger 방식의 출력 예

나. JK 플립플롭

RS 플립플롭의 두 입력이 '1' 일 때 미정인 상태를 활용하고자 보완된 것이라 할 수 있다.

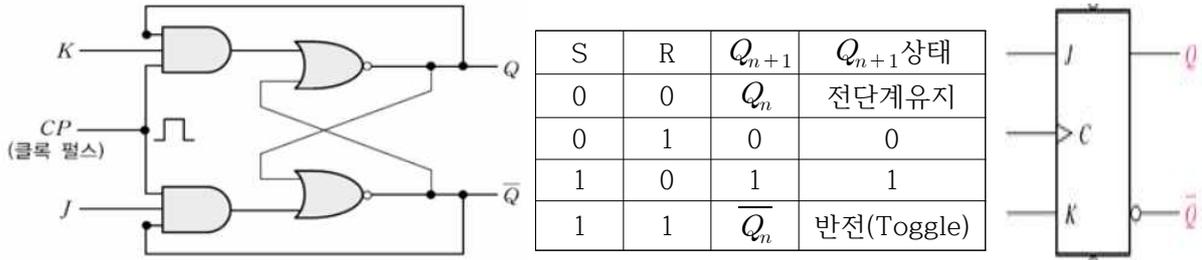


그림 5. JK 플립플롭 회로, 진리표, 기호

JK 플립플롭은 RS 플립플롭에 3입력 AND게이트 2개로 구성되어 있다. 각 출력이 입력으로 귀환되어 J=K=1일 때 전 상태를 반전시키는 것이다.

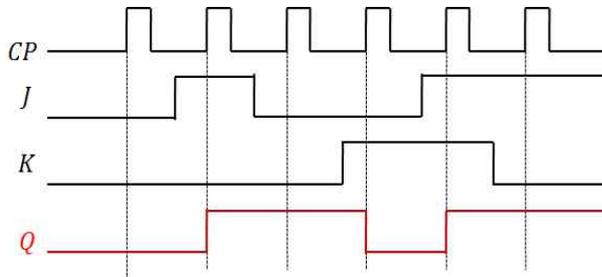


그림 5. JK 플립플롭 출력 타임차트 예

다. D 플립플롭

D 플립플롭은 RS나 JK 플립플롭 두 입력 사이를 NOT 게이트로 연결하여 사용되는 것으로 두 입력이 같을 경우가 없어진 상태이다. 단 SR에서는 R 단자에 JK에서는 K 단자에 NOT가 부가되므로 출력은 입력의 상태가 그대로 나타나게 된다.

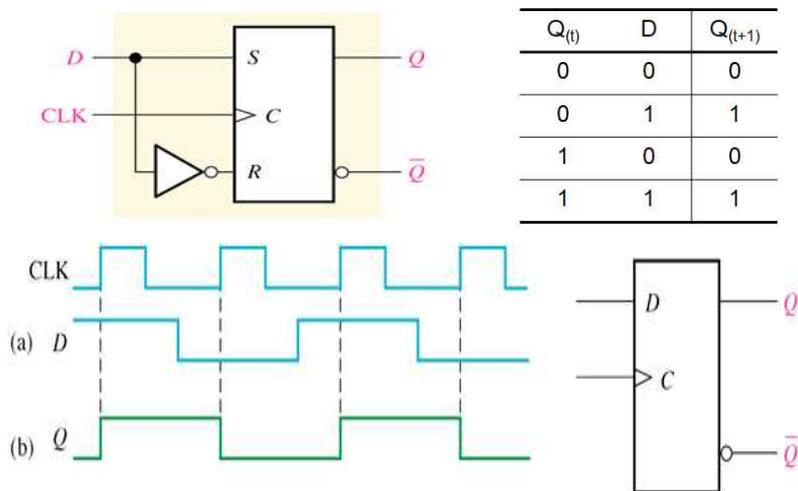
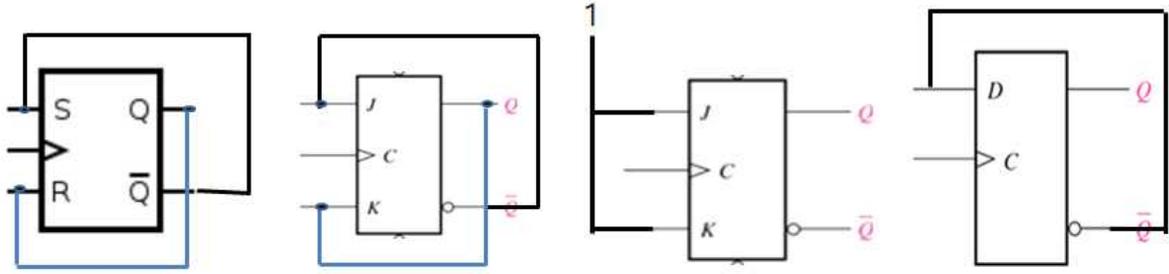


그림 6. D 플립플롭 원리와 출력 타임차트 및 기호 예

라. T 플립플롭

T(toggle) Flip Flop은 다음 그림과 같이 제작된 것으로 계수기(카운터)에 이용된다.



(a) RS 플립플롭이용

(b) JK 플립플롭이용

(c) JK 플립플롭이용

(d) D 플립플롭이용

그림 7. T 플립플롭 회로

(a), (b), (d)는 보수관계인 각 출력단이 신호로 귀환되어 클럭이 들어 올 때마다 출력 상태가 바뀌는 것이고 (c)는 두 입력이 '1'이므로 출력이 계속 반전되어 나타난다. 이를 2진 계수기라 한다.